

JP63016496A

MicroPatent Report

SEMICONDUCTOR MEMORY DEVICE

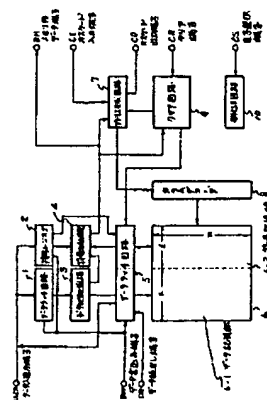
[71] Applicant: NEC CORP

[72] Inventors: NAGAO HARUKI

[21] Application No.: JP61161128

[22] Filed: 19860708

[43] Published: 19880123

[Go to Fulltext](#)[Get PDF](#)

[57] Abstract:

PURPOSE: To eliminate the need to execute an address management whose processing is complicated, by adding a code data for showing an attribute, to a holding data, and generating an address by this code data. **CONSTITUTION:** A selection of four modes of storage, read-out, retrieval and erasion of a data is executed by writing the information of 2 bits in a code register 2. In the code register, a code data and mode selecting information are contained, and also, write of the code data to the code register 2 is executed irrespective of a signal on an element selecting terminal CS. A code comparator circuit always compares the code data in the code register 2, and a code data of a data which has been held in a main memory circuit 6, and gives its result to an address generating circuit 7. A controlling circuit 10 receives an effective signal of the element selecting terminal CS and shifts a memory device to a usable state. **COPYRIGHT:** (C)1988,JPO&Japio

[51] Int'l Class: G11C01134

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-16496

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)1月23日

G 11 C 11/34

8522-5B

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体記憶装置

⑯ 特 願 昭61-161128

⑰ 出 願 昭61(1986)7月8日

⑱ 発 明 者 永 尾 春 樹 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

任意データを記憶するデータ記憶部と前記任意データの属性を示す符号データを記憶する符号記憶部とからなる主記憶回路と、データ入出力端子に加えられるデータと前記データ記憶部のデータとを比較するデータ比較回路と、前記入出力端子に加えられる符号データと前記符号記憶部のデータとを比較する符号比較回路と、前記符号比較回路の出力によってアドレス生成を停止する、前記主記憶回路のアドレスを指定するアドレス生成回路と、前記アドレス生成回路の内容及び前記主記憶回路に記憶された任意データと符号データをアドレス毎に取出して保管するデータラッチ回路の内容及びそれぞれ消去するクリア回路とを含むことを特徴とする半導体記憶装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体記憶装置に関する。

〔従来の技術〕

従来、この種の半導体記憶装置は、単に指定されたアドレスに与えられたデータを記憶する機能と指定されたアドレスの記憶データを出力する機能しか有しないものが知られている。

〔発明が解決しようとする問題点〕

上述した従来の半導体記憶装置は、単にデータを記憶する機能しかないので、記憶装置を制御する演算処理装置が、記憶領域の割当て、開放の処理を行っている。特に記憶装置が変数データ用に割当てられている時、演算処理装置の記憶領域割当て、開放及び変数データアクセスの処理は極めて頻繁に行われるため演算処理装置の仕事は記憶領域管理のため煩雑になるという欠点があった。

〔問題点を解決するための手段〕

本発明の半導体記憶装置は、任意データを記憶するデータ記憶部と前記任意データの属性を示す

符号データを記憶する符号記憶部とからなる主記憶回路と、データ入出力端子に加えられるデータと前記データ記憶部のデータとを比較するデータ比較回路と、前記入出力端子に加えられる符号データと前記符号記憶部のデータとを比較する符号比較回路と、前記符号比較回路の出力によってアドレス生成を停止する、前記主記憶回路のアドレスを指定するアドレス生成回路と、前記アドレス生成回路の内容及び前記主記憶回路に記憶された任意データと符号データをアドレス毎に取出して保管するデータラッチ回路の内容とをそれぞれ消去するクリア回路とを含むものである。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例のブロック図である。

この実施例は、任意データを記憶するデータ記憶部6-1と前記任意データの属性を示す符号データを記憶する符号記憶部6-2とからなる主記憶回路と、データ入出力端子DATAに加えられ

データラッチ回路5の符号データとを比較し一致していればアドレス生成回路7に停止信号を供給する回路であるが、データ検索時にはデータ比較回路3からの一致信号を受けたときのみ前述の停止信号を発生する。データラッチ回路5は、データ入出力端子DATA上の任意データ及び符号データをデータ蓄込み端子DW上の蓄込み有効信号を受けてラッチし、主記憶回路6への蓄込み用レジスタとして働くほか、主記憶回路6内の指定されたアドレスの情報をデータ読出し端子DR上のデータ読出し有効信号を受けてラッチしデータ入出力端子DATAへ供給する。

アドレス生成回路7は素子選択端子CS又はカスケード入力端子CI上の信号が有効となると、最下位アドレス(0)から順次最上位アドレス(n)へ向ってアドレスを生成し、カラムデコーダ8へ供給する。

次に、この実施例の動作について説明する。

第2図は、本発明の半導体記憶装置の使用時の接続を示すブロック図である。

るデータと前記データ記憶部6-1のデータとを比較するデータ比較回路3と、前記入出力端子DATAに加えられる符号データと前記符号記憶部6-2のデータとを比較する符号比較回路4と前記符号比較回路4の出力によってアドレス生成を停止する、前記主記憶回路6のアドレスを指定するアドレス生成回路7と、前記アドレス生成回路7及び前記主記憶回路6に記憶された任意データと符号データをアドレス毎に取出して保管するデータラッチ回路5の内容を消去するクリア回路9とを含むものである。

データラッチ回路1はデータ入出力端子DATA上のデータをデータ蓄込み端子DW上の蓄込み有効信号を受けてラッチする。符号レジスタ2はデータ入出力端子DATAの符号データをデータ蓄込み端子DW上の蓄込み有効信号を受けてラッチする。データ比較回路3はデータラッチ回路1の内容とデータラッチ回路5の任意データとを比較し一致すれば符号比較回路4に一致信号を供給する。符号比較回路4は符号レジスタ2の内容とデ

この実施例はデータの記憶、読出し、検索及び消去の4つのモードを有している。これらのモードの選択は符号レジスタ2に2ビットの情報を蓄込むことで行われる。符号レジスタ2には符号データ及びモード選択情報が含まれる。又符号レジスタ2への符号データの蓄込みは素子選択端子CS上の信号に関係なく行われる。

次に、前述の各モードにおける動作説明を行う。

(1) データ蓄込みモード

演算処理装置Aからデータ入出力端子DATAを経由して符号レジスタ2へ所定の符号データ及びモード選択情報を蓄込む。データ入出力端子DATAはkビットのバスで構成されており符号レジスタ2のビット長はkビット以下のk'ビットとする。

演算処理装置Aは素子選択端子CS上の信号を有効にすることにより半導体記憶装置M₁、～M_jのうち1つを使用可能状態にする。ここで半導体記憶装置M₁が選択され、使用可能になったものとする。

アドレス生成回路7は主記憶回路6内の空き番地を調べその最下位アドレスを生成する。符号記憶部6-2には、空き番地であるかどうかを示すデータが判定用ビットとして含まれているとする。

前述のように素子選択端子CS上の信号が有効となると、アドレス生成回路7は最下位アドレス(0)を生成する。最下位アドレス(0)の記憶内容をデータラッチ回路5にラッチする。符号レジスタ2の符号データとデータラッチ回路5にラッチされている判定用ビットを符号比較回路4で比較する。一致していれば空き番地であるからアドレス生成回路7は新しいアドレス生成を停止する。一致していなければアドレス生成回路7は次のアドレスを生成する。このようにして空き番地を探すのである。空き番地がない場合はカスケード出力端子COへ信号を送る。

いま、半導体記憶装置M₁に空き番地があったとする。主記憶回路6はデータ長(k+b)ビット、語長nワード構成とする。演算処理装置

M₂のカスケード出力端子CIに接続されている。記憶装置M₂はそのカスケード入力端子CIに記憶装置M₁のカスケード出力端子COからの有効信号を受けると、演算処理装置Aから与えられる次のデータから上述のような書き込み動作を記憶装置M₁に代って行う。

(2) データ脱出しモード

符号レジスタ2に指定する符号データ及びモード選択情報を寄込む。素子選択端子CSに有効信号が演算処理装置Aから与えられるとアドレス生成回路7は符号レジスタ2に保持されている符号データと同一の符号を持ったデータを主記憶回路6内から探し出しその中から最下位に位置しているデータのアドレスを生成する。演算処理装置Aからデータ脱出し端子DRに有効信号が与えられると、アドレス生成回路7で指定されたアドレスのデータがデータラッチ回路5を経由してデータ入出力端子DATAに転送される。この後アドレス生成回路7は次の符号レジスタ2内符号データと同一の符号をもつ

Aはデータ入出力端子DATAへデータを与えデータ書き込み端子DWに有効信号を送る。データラッチ回路5はデータ書き込み端子DWに有効信号が与えられるとデータ入出力端子DATA上の、演算処理装置Aより与えられているデータ及び符号レジスタ2に保持されている符号データのみを取り込む。データラッチ回路5に取り込まれたデータ及び符号データは主記憶回路6のアドレス生成回路7により指定されたアドレスに書き込まれ保持される。データ及び符号データが主記憶回路6へ転送されるとアドレス生成回路7は次の空き番地の最下位アドレスを生成する。空き番地は必ずしも連続である必要はない。演算処理装置Aは次からはデータのみデータ入出力端子DATAに与えデータ書き込み端子DWに有効信号を送ることによってデータを属性符号付で書き込むことができる。又アドレス生成回路7は主記憶回路6に空き番地がない事を確認するとカスケード出力端子COに有効信号を設定する。カスケード出力端子COは次の半導体記憶装置

のデータのアドレスを生成する。又アドレス生成回路7は主記憶回路6内に符号レジスタ2内符号データと同一の符号を持ったデータを全くもしくはより上位のアドレスに見つけれない場合はカスケード出力端子COに有効信号を送ることによって次の記憶素子にデータの脱出し制御を移す。

(3) データ検索モード

符号レジスタ2に指定する符号データ及びモード選択情報を寄込む。アドレス生成回路7は素子選択端子CSに有効信号が演算処理装置Aから与えられたら符号レジスタ2の符号データと同一の符号つまり同一属性をもったデータのうち主記憶回路6内の最下位アドレスを生成する。データ入出力端子DATAに演算処理装置Aからデータが与えられデータ書き込み端子DWに演算処理装置Aから有効信号が送られてくると、データラッチ回路1はデータ入出力端子DATA上のデータを取り込む。又データラッチ回路5はアドレス生成回路7により指定された

アドレスのデータを取込む。データ比較回路3はデータラッチ回路1内データ及びデータラッチ回路5内データを比較し、一致もしくは不一致情報を符号比較回路を経由してメモリ内データ端子DM及びアドレス生成回路7に与える。アドレス生成回路7はデータ比較回路3よりデータ一致情報を得ればただちに処理を中断するが、情報が不一致のものであれば次の同一属性をもったデータのアドレスを生成し比較動作をくりかえす。又アドレス生成回路7は主記憶回路6を検索し一致するデータがなければカスケード出力端子COに有効信号を出力し次の記憶装置にデータの検索動作のトリガーを与える。次の記憶装置はカスケード入力端子CIに有効信号を受けると検索動作を開始し、一致すればメモリ内データ端子DMに有効信号を与え、一致するものがなければカスケード出力端子COに有効信号を与える。

(4) データ消去モード

符号レジスタ2に指定する符号データ及びモ

ード選択情報を書込む。素子選択端子CSに有効信号が演算処理装置から与えられるとアドレス生成回路7は符号レジスタ2内の符号データと同一の符号をもったデータを主記憶回路6内で検索しそのうち最下位のデータのアドレスを生成する。演算処理装置Aからクリア端子CRに有効信号が与えられるとクリア回路9はアドレス生成回路7で指定されたデータを消去し空き番地として開放する。又アドレス生成回路7はクリア回路9から消去終了信号を受けると次の同一属性をもったつまり同一符号データをもったデータのアドレスを生成する。主記憶回路6での消去が完了すればアドレス生成回路7はカスケード出力端子COに有効信号を与え次の記憶装置に制御を移す。

符号比較回路4は常に符号レジスタ2内の符号データと主記憶回路6に保持されているデータの符号データとを比較し結果をアドレス生成回路に与える。制御回路10は素子選択端子CSの有効信号を受け記憶装置を使用可能状態へ移

す。

〔発明の効果〕

以上説明したように本発明は、保持データに属性を示す符号データを付加しこの符号データによりアドレスが生成されるためあるまとまったデータ毎に記憶素子を割当てているのと同じ処理が行える。このため演算処理装置が行う、変数データのための領域確保、開放、再編成、データの書き込み、読み込み等の処理が複雑なアドレス管理をしなくても良いため極めて簡略化できる効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例のブロック図、第2図は本発明の使用時の接続を示すブロック図である。

1……データラッチ回路、2……符号レジスタ、3……データ比較回路、4……符号比較回路、5……データラッチ回路、6……主記憶回路、6-1……データ記憶部、6-2……符号記憶部、7……アドレス生成回路、8……カラムデコーダ、9

……クリア回路、10……制御回路、A……演算処理装置、CI……カスケード入力端子、CO……カスケード出力端子、CR……クリア端子、CS……素子選択端子、DATA……データ入出力端子、DM……メモリ内データ端子、DR……データ読出し端子、DW……データ書き込み端子、M₁~M_J……半導体記憶装置。

代理人 弁理士 内 原 晋



